

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01112772
PUBLICATION DATE : 01-05-89

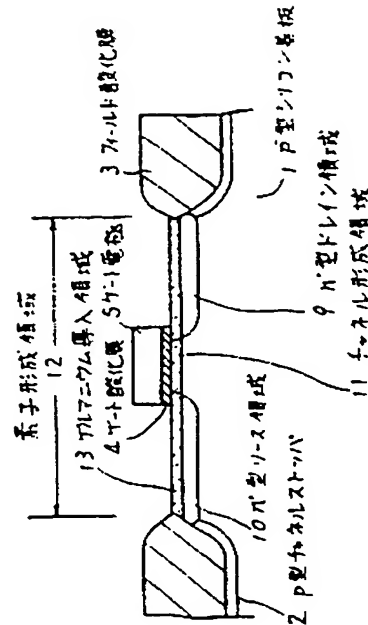
APPLICATION DATE : 27-10-87
APPLICATION NUMBER : 62271313

APPLICANT : FUJITSU LTD;

INVENTOR : UNO MASAOKI;

INT.CL. : H01L 29/78 // H01L 21/265

TITLE : MIS-TYPE SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To avoid increasing of element area and to realize high density and high integration by introducing germanium atoms at least into a region near a drain junction in a channel formation region.

CONSTITUTION: A germanium introduction region 13 wherein germanium is introduced at a high density is formed over the entire surface of an element region 12 which is defined by a field oxide film 3 and a p-type channel stopper 2, and includes a channel formation region 11, a n⁺-type drain region 9 and an n⁺ type source region 10. A germanium introduction region of high density is formed thereby at least in a region including a region near a germanium junction of a channel region, and the carrier mobility in the region is reduced thus realizing reduction of element area through short channeling.

COPYRIGHT: (C)1989,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-112772

⑬ Int.Cl.⁴
H 01 L 29/78
// H 01 L 21/265

識別記号
3 0 1

庁内整理番号
H-8422-5F
Z-7738-5F

⑭ 公開 平成1年(1989)5月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 M I S型半導体装置

⑯ 特 願 昭62-271313

⑰ 出 願 昭62(1987)10月27日

⑱ 発 明 者 加 勢 正 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 宇 野 昌 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

M I S型半導体装置

2. 特許請求の範囲

シリコン半導体基板に形成されたM I S型半導体装置であって、

少なくともチャネル形成領域におけるドレイン接合の近傍領域に、ゲルマニウム原子が導入されることを特徴とするM I S型半導体装置。

3. 発明の詳細な説明

(概 要)

ショートチャネル化されるM I S型半導体装置の構造の改良に関し、

素子面積を拡大させずにホットキャリアの発生を防止し得る構造の提供を目的とし、

シリコン半導体基板に形成されたM I S型半導体装置であって、少なくともチャネル形成領域におけるドレイン接合の近傍領域に、ゲルマニウム

原子が導入された構成を有する。

(産業上の利用分野)

本発明はM I S型半導体装置、特にショートチャネル化されるM I S型半導体装置の構造の改良に関する。

L S I等半導体I Cの大規模化に伴って生ずる動作速度の低下を回避するために、該L S I等に作り付けられるM I S F E Tは近時急速にショートチャネル化されてきている。

このようにM I S F E Tがショートチャネル化された際に、ホットキャリアの生成に起因する信頼性の低下が問題になる。

ホットキャリアの持つエネルギーの大きさは、Lucky Electronモデルによると、下記(1)式によって表される。

$$E = q \cdot \epsilon \quad (1)$$

E : キャリアのエネルギー

q : 電気素量

ϵ : 電界強度

ℓ : キャリアの平均自由行程

M I S F E T がショートチャネル化された際にも、ドレインソース間には通常のチャネル長を有する従来の M I S F E T と同様に 5 V 程度の電圧 V_{gs} が印加される。

そのために、ショートチャネル M I S F E T においては、上記(1)式におけるドレイン接合近傍の電界強度 ϵ が大幅に強まり、(1)式に従ってキャリアのエネルギー E が増大したホットキャリアを生ずる。

そして加速されて高エネルギーを持ったホットキャリアはゲート絶縁膜中に浸入し蓄積されて、該 M I S F E T の閾値電圧 V_{th} を経時的に変動させ、該 F E T の性能を劣化せしめる。

(従来の技術)

そこでチャネル形成領域のドレイン接合近傍に形成される電界強度を減少させてホットキャリアの生成を抑止する L D D (Lightly Doped Drain) 構造や D^2 (Double Diffused Drain) 構造が提案されている。

第 8 図及び第 9 図は L D D 構造及び D^2 構造の

置の提供を目的とする。

(問題点を解決するための手段)

上記問題点は、シリコン半導体基板に形成された M I S 型半導体装置であって、少なくともチャネル形成領域におけるドレイン接合の近傍領域に、ゲルマニウム原子が導入された本発明による M I S 型半導体装置によって解決される。

(作 用)

キャリアの移動度 μ と平均自由行程 ℓ の間には、電界を一定とした時に、下記(2)式の関係が成り立つ。

$$\mu = K \ell^{1/2} \quad (2)$$

K : 比例常数

一方、キャリアの平均自由行程 ℓ とキャリアのエネルギー E とは前記(1)式に示されたように正比例の関係にある。

そこで本発明においては、シリコンと比率の如何を問わず混晶を形成し、且つキャリアの移動度

M O S F E T を模式的に示す側断面図である。

これらの図において、1 は p^- 型シリコン基板、2 は p 型チャネルストップ、3 はフィールド酸化膜、4 はゲート酸化膜、5 はゲート電極、6 は絶縁膜サイドウォール、7 及び 107 は n^- 型 (低濃度) ドレイン領域、8 及び 108 は n^- 型 (低濃度) ソース領域、9 は n^+ 型 (高濃度) ドレイン領域、10 は n^+ 型 (高濃度) ソース領域、11 はチャネル形成領域を示す。

(発明が解決しようとする問題点)

しかし上記 L D D 構造及び D^2 構造においては、何れも、チャネル形成領域 11 と高濃度ドレイン領域 9 及び高濃度ソース領域 10 との間に低濃度ドレイン領域 7、107 及び低濃度ソース領域 8、108 等が配設されるために素子面積が拡大し、該ショートチャネル M I S F E T を用いる I C の集積度が低下するという問題があった。

そこで本発明は、素子面積を拡大させずにホットキャリアの発生を防止し得る M I S 型半導体装

置 μ を低下せしめる効果を有するゲルマニウム原子を、効果的な移動度の低下が得られる濃度にチャネル領域へ導入してキャリアの平均自由行程 ℓ を短縮し、これによって(1)式に基づきキャリアのエネルギー E を減少させて、ホットキャリアの生成を防止する。

かくて本発明によればホットキャリアの生成防止のために低濃度のドレイン領域やソース領域を設ける必要がなくなつて素子面積が拡大が回避され、ショートチャネル M I S 半導体装置の高密度高集積化が図れる。

(実施例)

以下本発明を、図示実施例により具体的に説明する。

第 1 図、第 2 図、第 3 図、第 4 図は本発明の第 1、第 2、第 3、第 4 の実施例の要部を示す模式側断面図、第 5 図、第 6 図は本発明の異なる応用例の要部模式側断面図、第 7 図はシリコン (Si) - ゲルマニウム (Ge) 混晶中のキャリアの移動度を示

す図である。

全図を通じ同一対象物は同一符号で示す。

本発明の第1の実施例を示す第1図において、1はp⁺型シリコン基板、2はp型チャネルストップ、3はフィールド酸化膜、4はゲート酸化膜、5はゲート電極、9はn⁺型（高濃度）ドレイン領域、10はn⁺型（高濃度）ソース領域、11はチャネル形成領域、12は素子形成領域、13はゲルマニウム導入領域を示す。

同図に示す第1の実施例においては、フィールド酸化膜3及びp型チャネルストップ2によって画定された、チャネル形成領域11とn⁺型ドレイン領域9とn⁺型ソース領域10を含む素子領域12の全面に、ゲルマニウム(Ge)が所定の高濃度に導入された深さ例えば1000Å程度のゲルマニウム導入領域13が形成される。

第7図に示されるSi-Ge混晶中におけるキャリアの移動度、即ち電子の移動度 μ 、の成分比による変化(α)、及び正孔の移動度 μ 、の成分比による変化(β)から、キャリアの移動度を低下せしめる効

果を顕著に生ぜしめるためには、混晶中のGeの混入比率は10~20%程度である。従って前記Ge導入領域13のGe濃度は $5 \times 10^{21} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 程度に制御される。

なお第1図の構造を形成する際には、ゲート電極5を形成する前に気相拡散或いはイオン注入法により素子形成領域12の全面にGe導入領域13が形成され、ソース及びドレイン領域9、10はゲート電極5の形成後に、該ゲート電極5に整合しイオン注入法により例えば3000Å程度の深さに形成される。

第2図に示す第2の実施例は、Ge導入領域113がソース及びドレイン領域9、10より深く例えば4000Å程度の深さに形成された前記第1の実施例の変形例である。なお、この構造の形成方法、及びゲルマニウム導入領域113のGe濃度は第1の実施例と同様である。

以上はチャネル形成領域11の全域にゲルマニウム導入領域が形成される例である。

第3図に示す第3の実施例は、ソース及びドレ

イン領域9、10の表面部からチャネル形成領域11の端部に食い込んで深さ1000Å程度のゲルマニウム導入領域13A及び13Bが形成された例である。ホットキャリアは電界が強くなるドレイン接合の近傍で生成するので、チャネル形成領域11におけるドレイン領域10の近傍部のキャリアの移動度を低下せしめればホットキャリアの発生を抑制できるので、該実施例の構造により充分な効果を生ずる。そして更に該実施例の構造においてはチャネル形成領域11の全域に低移動度の領域が形成されないで、動作速度の向上に対し前記実施例よりも有利である。

なおこの構造を形成する際には、ゲート電極5を形成した後に、該ゲート電極5をマスクにして素子形成領域12にゲルマニウムを浅くイオン注入し、熱処理によって該ゲルマニウムの引伸し拡散を行ってゲルマニウム導入領域13A、13Bをソース及びドレイン領域より深くチャネル形成領域11の端部に浸入させた後、通常通りゲート電極5をマスクにして不純物をイオン注入しソース領域9

及びドレイン領域10を形成する。ここで完成されたゲルマニウム導入領域13A、13Bは、前記実施例同様、Ge濃度は $5 \times 10^{21} \sim 1 \times 10^{22} \text{ cm}^{-3}$ 、深さ1000Å程度に形成される。またソース、ドレイン領域9、10の深さは例えば3000Åとする。

第4図に示す第4の実施例は、チャネル形成領域11において連通せず且つソース、ドレイン領域9、10よりも深いゲルマニウム導入領域113A及び113Bが形成された上記第3の実施例の変形例である。ゲルマニウム導入領域のGe濃度は上記実施例と同様で、深さは例えばソース、ドレイン領域9、10より1000Å程度深い4000Å程度の深さに形成される。

この構造の高速化に対する利点は第3の実施例と同様である。

なおゲルマニウム導入領域113A及び113Bはゲート電極5をマスクにしてGeを深くイオン注入することによって形成される。

なお図示しないが、チャネル領域におけるドレイン領域の近傍部のみに選択的にゲルマニウム導

入領域を形成した構造においても、上記第3、第4の実施例と同様の効果及び利点を生ずる。

以上実施例に示したような本発明の構造においては、チャンネル領域の少なくともドレイン接合の近傍領域を含む領域に高濃度のゲルマニウム導入領域が形成され該領域におけるキャリアの移動度が低減せしめられるので、ショートチャンネル化されドレイン接合近傍に高電界が形成された際にもキャリアのエネルギーEがホットキャリアを生成するレベルまで上昇するのが抑制される。

そして通常、信頼度試験として行われる通電加速試験において、閾値電圧 V_{th} の変動は許容の範囲内に抑えられ、LDD構造及びD²構造と同等な信頼度寿命が得られている。

従って、ホットキャリアの発生を防止するために、LDD構造及びD²構造のように高濃度ドレイン領域とチャンネル形成領域の間に低濃度のドレイン領域を介在させてドレイン接合近傍の電界強度を低下させる必要がなくなり、素子面積の縮小が図れる。

(発明の効果)

以上説明のように本発明によれば、チャンネル領域におけるキャリアの平均自由行程を短縮せしめてキャリアの電荷を減少させ、これによってホットキャリアの発生が防止されるので、チャンネル領域のドレイン接合近傍の電界強度を低減するための低不純物濃度ソース・ドレイン領域を設ける必要がなくなり、素子面積の縮小が図れる。

従って本発明はショートチャンネルMISICの高集積化に有効である。

4. 図面の簡単な説明

第1図、第2図、第3図、第4図は本発明の第1、第2、第3、第4の実施例の要部を示す模式側断面図、

第5図、第6図は本発明の異なる応用例の要部模式側断面図、

第7図はシリコン(Si)-ゲルマニウム(Ge)混晶中のキャリアの移動度を示す図、

第8図及び第9図はLDD構造及びD²構造の

第5図はLDD構造に前記第1の実施例の構成を付加して、ホットキャリアの防止効果を一層高めた本発明の一応用例である。

図において、1はp⁻型シリコン基板、2はp型チャンネルストップ、3はフィールド酸化膜、4はゲート酸化膜、5はゲート電極、6は絶縁膜サイドウォール、7はn⁻型(低濃度)ドレイン領域、8はn⁻型(低濃度)ソース領域、9はn⁺型ドレイン領域、10はn⁺型ソース領域、11はチャンネル形成領域、13はゲルマニウム導入領域を示す。

第6図はD²構造に前記第4の実施例の構成を付加してホットキャリアの防止効果を一層高めた本発明の他の応用例である。

図中、107はn⁻型(低濃度)ドレイン領域、108はn⁻型(低濃度)ソース領域、その他の符号は第5図と同一対象物を示している。

なお本発明は、実施例と反対導電型チャンネルを有するMIS半導体装置にも勿論適用される。

MOSFETの模式側断面図

である。

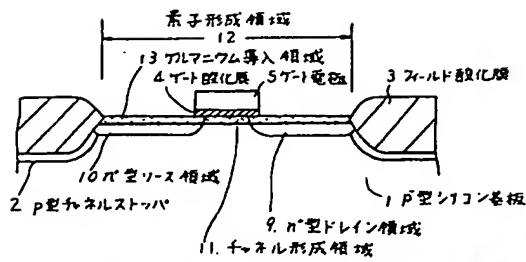
図において、

- 1はp⁻型シリコン基板、
- 2はp型チャンネルストップ、
- 3はフィールド酸化膜、
- 4はゲート酸化膜、
- 5はゲート電極、
- 6は絶縁膜サイドウォール、
- 7、107はn⁻型(低濃度)ドレイン領域、
- 8、108はn⁻型(低濃度)ソース領域、
- 9はn⁺型(高濃度)ドレイン領域、
- 10はn⁺型(高濃度)ソース領域、
- 11はチャンネル形成領域、
- 12は素子形成領域、
- 13、13A、13B、113、113A、113Bはゲルマニウム導入領域

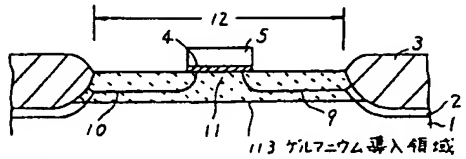
を示す。

代理人 弁理士 井桁貞一

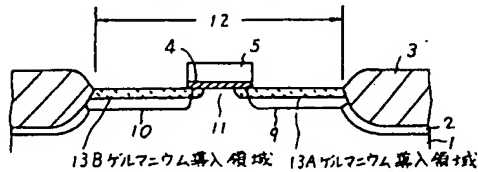




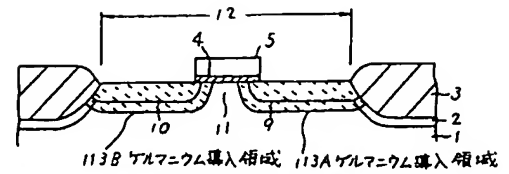
本発明の第1の実施例の要部模式側断面図
第 1 図



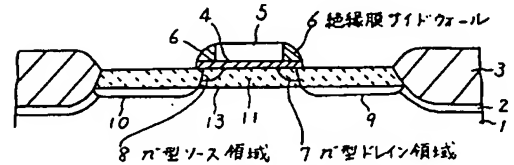
本発明の第2の実施例の要部模式側断面図
第 2 図



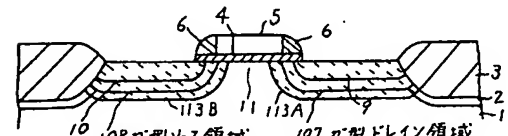
本発明の第3の実施例の要部模式側断面図
第 3 図



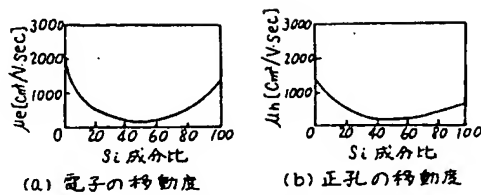
本発明の第4の実施例の要部模式側断面図
第 4 図



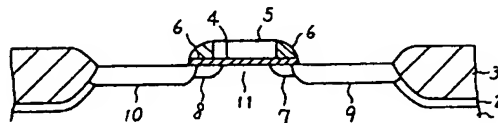
本発明の応用例の要部模式側断面図
第 5 図



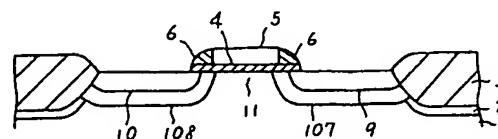
本発明の他の応用例の要部模式側断面図
第 6 図



(a) 電子の移動度 (b) 正孔の移動度
Si-Ge 混晶中のキャリアの移動度
第 7 図



LDD構造MOSFETの模式側断面図
第 8 図



D+構造MOSFETの模式側断面図
第 9 図